

⑬ Int. Cl.⁴
H 01 L 21/60

識別記号

庁内整理番号
6918-5F

⑭ 公開 昭和63年(1988)7月23日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の実装方法

⑯ 特 願 昭62-12655

⑰ 出 願 昭62(1987)1月21日

⑱ 発 明 者 黒 田 康 秀 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑲ 発 明 者 稲 垣 光 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井 桁 貞一

PTO 2001-2737

S.T.I.C. Translations Branch

明 細 書

1. 発明の名称
半導体装置の実装方法

2. 特許請求の範囲

(1) 回路が形成されていない半導体装置(1,2)のそれぞれの面を互いに接合する工程を含むことを特徴とする半導体装置の実装方法。

(2) 上記接合した半導体装置(1,2)をそれぞれリードフレーム(5)に接続した後、樹脂材(6)にてモールド成形する工程を含むことを特徴とする特許請求の範囲第1項記載の半導体装置の実装方法。

(3) 上記半導体装置(1,2)間に接地用リード(7)を挟着する工程を含むことを特徴とする特許請求の範囲第1項記載の半導体装置の実装方法。

3. 発明の詳細な説明
(概要)

半導体装置の実装方法において、回路が形成されていない半導体装置のそれぞれの面を互いに接合することにより、回路基板に立体的に積み重ね実装し、実装効率を向上したものである。

(産業上の利用分野)

本発明は半導体装置を回路基板に実装する方法に関する。

電子装置を小型化するため、電子部品を高密度実装する種々の方法が採られているが、一方法として、半導体装置を立体的に積み重ね実装して実装効率を倍増する実装方法が要望されている。

(従来技術)

従来は第6図の側断面図に示すように、フェースダウン型(Face Down Type)半導体装置11、例えばフリップチップ型(Flip Chip Type)半導体装置とベアチップ型(Bare Chip Type)半導体装置12を同じ回路基板14上に実装する場合、それぞれのスペースを占有し、別位置に配置して実装される。

即ち、フリップチップ型半導体装置11は、回路基板14の所定位置のランド14-1に載せてリフロー半田付けされ、

一方、ベアチップ型半導体装置12は、別の所定位置のランド14-2に載せて接合材12-1、例えばリフロー半田より高融点の半田接着法、またはAuSiなどの共晶合金接着法によって接合され、上面の電極パッド12-1はボンディング線12-2、例えばAu線やAl線などを用いて超音波ボンディング法や熱圧着法によってワイヤボンディング接続される。

(発明が解決しようとする問題点)

しかしながら、このような上記実装方法によれば、フリップチップ型半導体装置の上面やベアチップ型半導体装置の下面は、回路が形成されていないために実装上、回路案子としての機能を果たしていない場合が多く、実際上の空きスペースとなっており、その分だけ実装効率を低下させているといった問題があった。

第1図(a)は、フェースダウン型半導体装置1、例えばフリップチップ型半導体装置を回路基板4上のランド4-1にリフロー半田付け法によって実装し、

第1図(b)は、このフリップチップ型半導体装置1の上面を洗浄後、接合材1-1、例えばリフロー半田より低融点半田、または銀入りエポキシ系樹脂によるダイボンディング接着法等により、上記上面にベアチップ型半導体装置2の回路が形成されていない面を載せ、積み重ね接合し、

第1図(c)は、ベアチップ型半導体装置2の電極パッド2-1を洗浄後、回路基板4のランド4-1と電極パッド2-1とをボンディング線2-2、例えばAu線やAl線などを用いて超音波ボンディング法や熱圧着法によってワイヤボンディング接続する。

第2図は実施例2の実装工程順を示す側断面図であって、

第2図(a)は、フリップチップ型半導体装置1とベアチップ型半導体装置2とを予め、回路基板4

本発明は上記問題点を解決する半導体装置の実装方法を提供するものである。

(問題点を解決するための手段)

従来方法における上記問題点は、回路が形成されていない半導体装置のそれぞれの面を互いに接合することによって解決される。

(作用)

立体的に積み重ねて接合することにより、実装スペースを約半減することができる。

また、モールド成形することによって、単一部品となり、取り扱いや実装が容易になる。

(実施例)

以下第1図～第5図に示す各実施例により本発明の要旨を具体的に説明する。なお図中、同一符号は同一装置、部材を示す。

第1図は実施例1の実装工程順を示す側断面図であって、

に実装する前に接合したものであって、それぞれの回路形成されていない面同士を接合材1-1、例えばリフロー半田より高融点の半田接着法、またはAuSi等の共晶合金接着法によって積み重ね接合し、

第2図(b)は、フリップチップ型半導体装置1を回路基板4のランド4-1上にリフロー半田付け法によって実装し、

第2図(c)は、ベアチップ型半導体装置2の電極パッド2-1を洗浄後、回路基板4のランド4-1にボンディング線2-2、例えばAu線やAl線などを用いて超音波ボンディング法や熱圧着法によってワイヤボンディング接続する。

第3図は実施例3の側断面図であって、上記第1図、または第2図におけるフリップチップ型半導体装置1をビームリード型半導体装置3にしたものである。

第4図は実施例4の側断面図であって、上記回路基板4のランド4-1の替わりにリードフレーム5を用いたもので、第2図(a)において積み

重ね実装されたフリップチップ型半導体装置1をリードフレーム5上に載せてリフロー半田付けし、ベアチップ型半導体装置2をリードフレーム5にワイヤボンディング接続し、樹脂材6でモールド成形したものである。

第5図は実施例5の側断面図であって、フリップチップ型半導体装置1とベアチップ型半導体装置2との間に導電性と熱伝導性の優れた接地用リード7、例えば銅合金や42アロイリード、または金合金やアルミ合金リボンリードなどを挟んで接合したもので、接地用リード7は回路基板の接地用ランド4-2にリフロー半田付け、または超音波ボンディング法や熱圧着法によって接続される。

上記それぞれの実施例は、何れも半導体装置の回路を形成していない面を背中合わせにして接合したものであって、実装効率を約2倍に高め、回路基板の高密度実装化が図れる。

また、上記半導体装置間に接地用リードを挟着することにより、静電シールドなどを強化できる。

(発明の効果)

以上、詳述したように本発明によれば、半導体装置の実際上の空きスペースとなっている面を組み合わせ、立体的に積み重ね2重実装することによって回路基板への実装効率を格段に向上できるという実用上極めて有用な効果を発揮する。

4. 図面の簡単な説明

第1図(a), (b), (c)は本発明による実施例1の実装工程順を示す側断面図、

第2図(a), (b), (c)は本発明による実施例2の実装工程順を示す側断面図、

第3図は本発明による実施例3の側断面図、

第4図は本発明による実施例4の側断面図、

第5図は本発明による実施例5の側断面図、

第6図は従来技術による側断面図、

である。

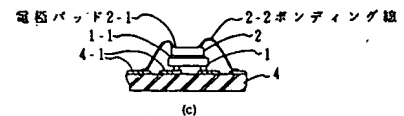
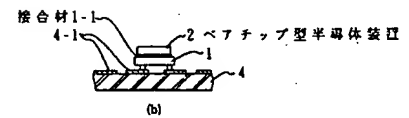
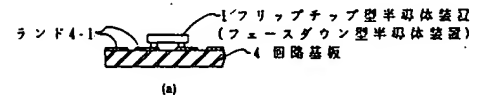
図において、

1はフェースダウン型半導体装置(フリップチップ型半導体装置)、

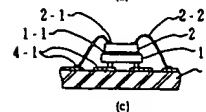
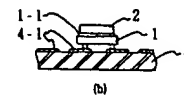
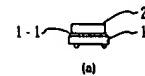
- 1-1は接合材、
- 2はベアチップ型半導体装置、
- 2-1は電極パッド、
- 2-2はボンディング線、
- 3はビームリード型半導体装置、
- 4は回路基板、
- 4-1はランド、
- 5はリードフレーム、
- 6は樹脂材、
- 7は接地用リード、

を示す。

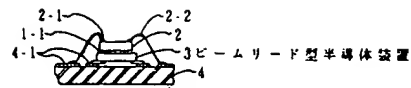
代理人 弁理士 井 桁 貞



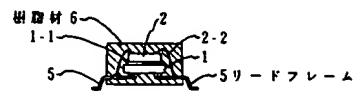
本発明による実施例1の実装工程順を示す側断面図
第1図



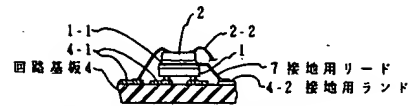
本発明による実施例2の実装工程順を示す側断面図
第2図



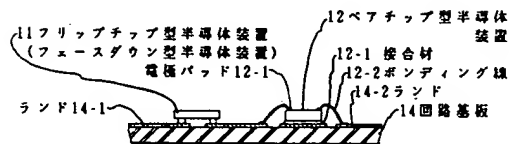
本発明による実施例3の側断面図
第3図



本発明による実施例4の側断面図
第4図



本発明による実施例5の側断面図
第5図



従来技術による側断面図
第6図

PTO 2001-2737

CY=JP DATE=19880723 KIND=A
PN=63179537

METHOD FOR MOUNTING SEMICONDUCTORS
[Handootai soochi no jissoo hoohoo]

Kuroda Yasuhide et al.

UNITED STATES PATENT AND TRADEMARK OFFICE
Washington, D.C. May 2001

Translated by: Diplomatic Language Services, Inc.

PUBLICATION COUNTRY	(19) : JP
DOCUMENT NUMBER	(11) : 63179537
DOCUMENT KIND	(12) : A (13) :
PUBLICATION DATE	(43) : 19880723
PUBLICATION DATE	(45) :
APPLICATION NUMBER	(21) : 62012655
APPLICATION DATE	(22) : 19870121
INTERNATIONAL CLASSIFICATION	(51) : H01L 21/60
DOMESTIC CLASSIFICATION	(52) :
PRIORITY COUNTRY	(33) :
PRIORITY NUMBER	(31) :
PRIORITY DATE	(32) :
INVENTOR	(72) : YASUhide, KURODA; MITSUO, INAGAKI
APPLICANT	(71) : FUJITSU K.K.
TITLE	(54) : METHOD FOR MOUNTING SEMICONDUCTORS
FOREIGN TITLE	[54A] : HANDOOTAI SOOCHI NO JISSOO HOOHOO

Specification

1. Title of the Invention

Method for mounting semiconductors

2. Claims

(1) A method for mounting semiconductors including a process wherein the respective surfaces of semiconductors (1, 2) with no formed circuits are joined together.

(2) The method for mounting semiconductors of Claim 1 including a process wherein the joined semiconductors (1, 2) are each connected to a lead frame (5), after which they are mold-formed with a resinous material (6).

(3) The method for mounting semiconductors of Claim 1 including a process wherein a ground lead (7) is connected sandwiched between the semiconductors (1, 2).

3. Detailed Explanation of the Invention

(General Description)

This method for mounting semiconductors includes improving mounting efficiency by mounting semiconductors one on top of the other by joining together the respective surfaces of these semiconductors (which have no formed circuits).

(Industrial Field of Application)

The present invention concerns a method for mounting semiconductors onto a substrate.

Due to the miniaturization of electronic equipment, various methods have been adopted for the high-density mounting of electronic components. One sought-after mounting method is to double mounting efficiency by mounting semiconductors on top of one another.

(Prior Art)

Formerly (Figure 6), when mounting onto the same substrate (14), a face down type semiconductor (11), for example, a flip chip type semiconductor, and a bare chip type semiconductor (12) each occupied their own area and were mounted arranged in separate positions. In other words, the flip chip semiconductor (11) was mounted and reflow soldered onto a land on a prescribed place on the substrate (14).

The bare chip semiconductor (12) was mounted onto a land (14-2) in another prescribed place and joined by a jointing material (12-1), for example, by a soldering method where the melting point is higher than with reflow soldering, or by an AuSi eutectic alloy bonding method. The top surface of an electrode padding (12-1) is wire bonded with bonding wire (12-2) by utilizing Al wire or Au wire in ultrasonic bonding or thermocompression bonding techniques.

(Problems that the Invention is to Solve)

According to the above mounting methods, however, there are numerous instances when, from the perspective of mounting, the top surface of the flip chip semiconductor and the bottom surface of the bare chip semiconductor do not fulfill their functions as circuit elements, because the circuits are unformed. The practical result is an empty space, a problem wherein mounting efficiency in that section alone is reduced.

The present invention provides a mounting method for semiconductors that solves these problems.

(Means of Solving the Problems)

The problems of prior methods will be solved by joining together the respective surfaces of semiconductors with no formed circuits.

(Operation)

The mounting space can be reduced approximately one half by bonding the semiconductors one on top of the other.

Moreover, molding these semiconductors results in a single component, which makes handling and mounting them easy.

(Working Examples)

The purport of the present invention will be explained below by each of the working examples depicted in Figures 1 to 5. In these drawing, the same symbols depict the same devices or components.

Figure 1 shows side cross-sectional views depicting the order of the mounting process in the first working example.

In Figure 1(a), a face down semiconductor (1), for example, a flip chip semiconductor, is mounted by reflow soldering it to a land (4-1) on a substrate (4).

In Figure 1(b), the top surface of this flip chip semiconductor (1) is cleaned, after which a jointing material (1-1) is applied by, for example, a solder having a melting point lower than reflow soldering or by a die bonding bonding technique based on a silver-added epoxy-type resin. The surface of a bare chip semiconductor (2) (which surface has no circuit formed thereonto) is mounted onto the top surface of the flip chip semiconductor, and they are bonded together.

In Figure 1(c), an electrode padding (2-1) for the bare chip semiconductor (2) is cleaned, after which the substrate (4) land (4-1) is bonded to the electrode padding (2-1) with bonding wire (2-2) by utilizing Au wire or Al wire in ultrasonic bonding or thermocompression bonding techniques.

Figure 2 shows side cross-sectional views depicting the order of the mounting process in the second working example.

In Figure 2(a), the flip chip semiconductor (1) and the bare chip semiconductor (2) have been previously bonded before mounting them onto the substrate (4). Their respective surfaces, which have no circuits formed thereonto, are mounted bonded one to the other with a jointing material (1-1) by, for example, a soldering method where the melting point is higher than with reflow soldering, or by an AuSi eutectic alloy bonding method.

In Figure 2(b), the flip chip semiconductor (1) is mounted onto the substrate (4) land (4-1) by a reflow soldering technique.

In Figure 2(c), the electrode padding (2-1) for the bare chip semiconductor (2) is cleaned, after which it is bonded with bonding wire (2-2) to the substrate (4) land (4-1) by, for example, utilizing Au wire or Al wire in ultrasonic bonding or thermocompression bonding techniques.

Figure 3 is a side cross-sectional view depicting the third working example. Here the flip chip semiconductor (1) in Figures 1 and 2 is mounted onto a beam lead semiconductor (3).

Figure 4 is a side cross-sectional view depicting the fourth working example. A lead frame (5) is used in place of the substrate (4)

land (4-1). The flip chip semiconductor (1) mounted in Figure 2(a) is mounted onto the lead frame (5) and reflow soldered. The bare chip semiconductor (2) is wire bonded to the lead frame (5), then molded over with a resinous material (6).

Figure 5 is a side cross-sectional view depicting the fifth working example. A ground lead (7) possessing superior conductivity and thermal conduction, for example, a copper alloy and alloy lead 42 [as transliterated], or a copper alloy and aluminum alloy ribbon lead, is connected sandwiched between the flip chip semiconductor (1) and the bare chip semiconductor (2). The ground lead (7) is connected to the substrate ground land (4-2) via reflow soldering or ultrasonic bonding or thermocompression bonding techniques.

In each of the above working examples, the surfaces for any of the semiconductors, none of which have circuits formed thereonto, are mounted and bonded back to back. Mounting efficiency is increased approximately two times devising high-density mounting for substrates.

Moreover, the electrostatic shield can be strengthened by sandwiching the ground lead between the semiconductors.

(Effects of the Invention)

As noted in detail above, the present invention combines the semiconductors' surfaces, possessed of empty spaces, when mounting them. The most useful effect in terms of practicality is that mounting efficiency onto a substrate can be incrementally improved by this double mounting of one semiconductor onto another.

4. Brief Explanation of the Figures

Figures 1(a), 1(b), and 1(c) are side cross-sectional views depicting the order of the mounting process in the first working example based on the present invention;

Figures 2(a), 2(b), and 2(c) are side cross-sectional views depicting the order of the mounting process in the second working example based on the present invention;

Figure 3 is a side cross-sectional view depicting the third working example based on the present invention;

Figure 4 is a side cross-sectional view depicting the fourth working example based on the present invention;

Figure 5 is a side cross-sectional view depicting the fifth working example based on the present invention;

and Figure 6 is a side cross-sectional view based on the prior art.

1 Face down semiconductor (flip chip semiconductor)

1-1 Jointing material

2 Bare chip semiconductor

2-1 Electrode padding

2-2 Bonding wire

3 Beam lead semiconductor

4 Substrate

4-1 Land

5 Lead frame

6 Resinous material

7 Ground lead

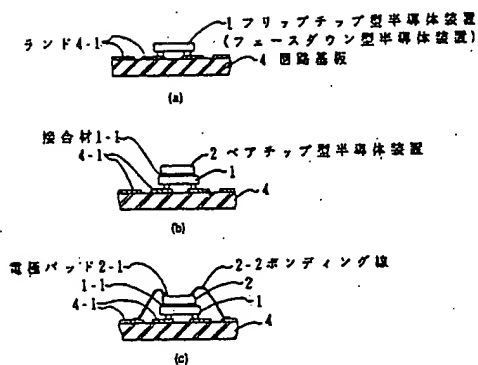


Figure 1. Side cross-sectional views depicting the order of the mounting process in the first working example based on the present invention

1: Face down semiconductor (flip chip semiconductor)

4: Substrate

4-1: Land

1-1: Jointing material

2: Bare chip semiconductor

2-1: Electrode padding

2-2: Bonding wire

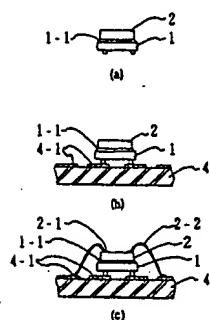


Figure 2. Side cross-sectional views depicting the order of the mounting process in the second working example based on the present invention

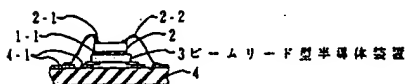


Figure 3. Side cross-sectional view depicting the third working example based on the present invention

3: Beam lead semiconductor

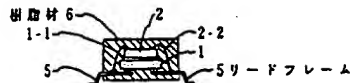


Figure 4. Side cross-sectional view depicting the fourth working example based on the present invention

5: Lead frame

6: Resinous material

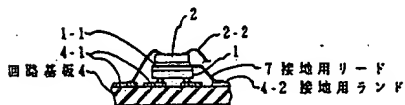


Figure 5. Side cross-sectional view depicting the fifth working example based on the present invention

4: Substrate

4-2: Ground land

7: Ground lead

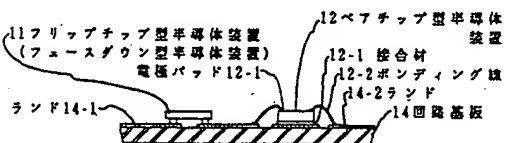


Figure 6. Side cross-sectional view based on the prior art

11: Flip chip semiconductor (face down semiconductor)

12: Bare chip semiconductor

12-1 [sic]: Jointing material

12-1: Electrode padding

12-2: Bonding wire

14: Substrate

14-1: Land

14-2: Land